

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04133154 A**

(43) Date of publication of application: **07.05.92**

(51) Int. Cl.

G06F 13/36

(21) Application number: **02256350**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **26.09.90**

(72) Inventor: **MURATA MASAHIRO**

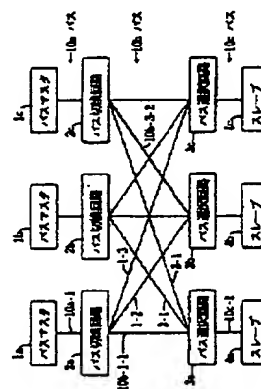
(54) BUS SWITCHING CONTROL SYSTEM

(57) Abstract:

PURPOSE: To improve the data transfer speed by providing a bus switching circuit on each of plural bus masters, providing a bus selecting circuit on each of plural slaves, and coupling an arbitrary combination of the bus master and the slave.

CONSTITUTION: Bus switching circuits 2a - 2c are provided in accordance with bus masters 1a - 1c. But selecting circuits 3a - 3c are provided in accordance with slaves 4a - 4c. The bus switching circuits 2a - 2c and the bus selecting circuits 3a - 3c are connected by a bus 10b. The bus switching circuits 2a - 2c connect the bus master concerned to the bus 10b to the slave being an access object, and output access information. The bus selecting circuits 3a - 3c connect the bus 10b which outputs the access information to the slave concerned, unless the corresponding slave is in the course of access.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報(A)

平4-133154

⑤Int.Cl.⁵

G 06 F 13/36

識別記号

5 2 0 B

庁内整理番号

7052-5B

④公開 平成4年(1992)5月7日

審査請求 未請求 請求項の数 1 (全5頁)

④発明の名称 バス切換制御方式

②特 願 平2-256350

②出 願 平2(1990)9月26日

⑦発 明 者 村 田 昌 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

バス切換制御方式

2. 特許請求の範囲

複数のバスマスタ(1a, 1b, 1c)にそれぞれ対応して設けられたバス切換回路(2a, 2b, 2c)と、複数のスレーブ(4a, 4b, 4c)にそれぞれ対応して設けられたバス選択回路(3a, 3b, 3c)と、複数の該バス切換回路と複数の該バス選択回路との間をそれぞれ接続したバス(10b)とを有し、

該バス切換回路(2a, 2b, 2c)は、該バスマスタから出力されたアクセス情報に基づき、アクセス対象のスレーブへのバスに該バスマスタを接続し該アクセス情報を出力するものであり、

該バス選択回路(3a, 3b, 3c)は、対応するスレーブがアクセス中でなければ、該アクセス情報を出力した前記バスを該スレーブに接続するものであり、

複数のマスタと複数のスレーブとの間にそれぞ

れバス(10b)を配置し、各バスマスタから出力されるアクセス情報に基づき該バスをそれぞれ切換えることを特徴とするバス切換制御方式。

3. 発明の詳細な説明

(概 要)

本発明はバス切換制御方式に関し、

複数のバスマスタの競合ならびに調停制御を排してデータ転送速度を向上させることを目的とし、

複数のバスマスタにそれぞれ対応して設けられたバス切換回路と、複数のスレーブにそれぞれ対応して設けられたバス選択回路と、複数の該バス切換回路と複数の該バス選択回路との間をそれぞれ接続したバスとを有し、該バス切換回路は、該バスマスタから出力されたアクセス情報に基づきアクセス対象のスレーブへのバスに該バスマスタを接続し、該アクセス情報を出力するものであり、該バス選択回路は、対応するスレーブがアクセス中でなければ、該アクセス情報を出力した前記バスを該スレーブに接続するものであり、複数のマ

スタと複数のスレーブとの間にそれぞれバスを配置し、各バスマスタから出力されるアクセス情報に基づき該バスをそれぞれ切換えるように構成する。

(産業上の利用分野)

本発明は、複数のバスマスタと複数のスレーブとを結合するバスをアクセス情報に基づき切換えるバス切換制御方式に関する。

(従来の技術)

第5図は従来のバス結合方式説明図、第6図は従来のバス制御動作説明図である。

第5図は、バスの使用権を有する複数のバスマスタ(プロセッサ、I/O制御装置等、以下マスタ)A,B,Cと、複数のマスタA,B,Cが共有するスレーブ(メモリ等)a,b,cとを単一のバス30を用いて結合する構成例を示したもので、バス30の競合を調停(アービトラージョン)するため、各マスタA,B,Cにはそれぞれ調停回路31a,31b,31cが設け

本発明は、上記課題に鑑み、調停時間を不要とし、且つ複数のマスタにより同時にデータ転送を行うことのできるバス切換制御方式を提供することを目的とする。

(課題を解決するための手段)

第1図本発明の原理図において、

1a,1b,1cは複数のバスマスタで、複数のスレーブ4a,4b,4cを共有する。

2a,2b,2cはそれぞれ複数のバスマスタ1a,1b,1cに対応して設けられたバス切換回路で、それぞれ、バスマスタ1a,1b,1cから出力されたアクセス情報に基づき、アクセス対象のスレーブへのバス10bに該バスマスタを接続してアクセス情報を出力する。

3a,3b,3cは複数のスレーブ4a,4b,4cにそれぞれ対応して設けられたバス選択回路で、それぞれ、対応するスレーブがアクセス中でなければ、アクセス情報を出力した前記バス10bを該スレーブに接続する。

られている。

第6図は、第5図の構成でバスマスタAがバス30の使用権を獲得してスレーブaをアクセスするときのタイムチャートを示したものである。

即ち、マスタAがスレーブaをアクセスするとき、調停回路31aは、他のマスタB,Cがバス30を使用しているか否かを確認し、使用していなければバス30を獲得してスレーブaをアクセスし(第6図(I))、使用していれば待機してバス30が開放された後にバス30を獲得してスレーブaをアクセスする。(第6図(II))

(発明が解決しようとする課題)

複数のマスタと複数のスレーブとを単一のバスで結合する従来のバス結合方式では、バスが使用されていないことを確認してバスを獲得する調停時間が必要であり、また他のマスタがバスを使用しているときは待ち状態となるため、バスマスタの数が多くなるとデータ転送速度が低下するという課題がある。

10bはバスで、複数のバス切換回路2a,2b,2cと複数のバス選択回路3a,3b,3cとの間をそれぞれ接続したものである。

(作用)

バスマスタ1a,1b,1cと、スレーブ4a,4b,4cとの間を、それぞれバス切換回路2a,2b,2cおよび、バス選択回路3a,3b,3cを介し、複数のバス10bによって接続する。

第1図において、例えば、バスマスタ1aがスレーブ4aをアクセスする場合、バスマスタ1aがバス10a-1にアクセス情報(スレーブ4aのアドレス等)を出力すると、バス切換回路2aは、アドレスをデコードしてバス10a-1をスレーブ4aへのバス10b-1-1に接続する。

一方、バス選択回路3aは、バス10b-1-1よりアクセス情報が出力されたことを認識すると、スレーブ4aが他のバスマスタ1b,またはバスマスタ1cからアクセス中でなければ、バス10b-1-1をバス10c-1に接続する。

このようにしてバスマスタ1aはスレーブ4aをアクセスすることができるが、このアクセス中に、例えば、バスマスタ1cがスレーブ4bをアクセスすると、バスマスタ1cとスレーブ4bとはバス10b-3-2を介して接続され、バスマスタ1aと、バスマスタ1cとは同時にデータ転送を行うことになる。

なお、上記例で、他のバスマスタ1bまたは1cによってスレーブ4aがアクセスされている場合は、バス10b-1-1上にバスマスタ1aのアクセス情報が出力されたまま待ち状態となるが、スレーブ4aのアクセスが終了した時点でバス10a-1-1がスレーブ4aに接続される。

そして、バスマスタ1aは、ライトアクセスの場合は、接続後の所定メモリサイクル後にアクセスを終了し、リードの場合は、スレーブ4aからの応答によりアクセスを終了する。

以上のごとく、複数のバスマスタ1a,1b,1cとスレーブ4a,4b,4cとの間にそれぞれバス10aを配置し、アクセス情報によってバス10aを切換えるため、異なるスレーブをアクセスする場合はバス10

aが競合することなく、同時にデータ転送を行うことができる。また、バス獲得のための調停時間が不要なため、データ転送の高速化が達成される。

(実施例)

本発明の実施例を図を用いて詳細に説明する。

第1図は本発明の原理図で、実施例と同一のもので、第2図はアクセスタイムチャート図、第3図は実施例のバス切換回路構成図、第4図は実施例のバス選択回路構成図である。

第3図はバス切換回路2a(第1図、2b,2cも同一構成)の1例を示したもので、バス10a-1,10b-1-1~10b-1-3は、アドレス、データ、制御信号等の複数の信号線より構成され、アドレスデコード14は、バス10a-1上に出力されたアドレスをデコードし、スレーブ4a,4b,4cに割り付けられたアドレス空間に対応して、ゲート11,12,13(データ用は双方向)を開く。

これにより、マスタ1aがスレーブ4aをアクセスした場合は、バス10a-1はバス10b-1-1に接続さ

れ、アクセス情報はバス10b-1-1上に出力される。

同様にしてスレーブ4b,4cをアドレスした場合は、バス10a-1はバス10b-1-2,10b-1-3にそれぞれ接続される。

第4図はバス選択回路3a(3b,3cも同一構成)の1例を示したもので、各バスマスタ1a,1b,1cからのバス10b-1-1,10b-2-1,10b-3-1をゲート15,16,17により選択し、スレーブ4aに接続されたバス10c-1に接続する。

アクセス情報のうちの制御信号として、第2図に示すように、アクセス要求信号REQがアクセス期間中出力されており、バス10c-1上のREQ信号がLOW(アクセス中でない)のときにバス10b-1-1上にREQaが出力(HIGH)されたときは、ゲートG20が開いてFF26がセットされ、これによりゲート15が開いてバス10b-1-1とバス10c-1とが接続される。

この結果、他のバス10b-2-1,10b-3-1にアクセス要求信号REQb,REQcが出力されても、ゲート16,17は閉じたままとなり、REQb,REQcを出力したバ

スマスタ1b,1cは待機することになる。

同様にして、バスマスタ1b,1cがスレーブ4aをアクセスし、且つスレーブ4aがアクセス中でなければ、REQb,REQcによってそれぞれゲート16,17が開き、スレーブ4aに接続される。

なお、FF26~28は、バス要求信号REQの出力が停止した時点でリセットされるようにしておく。

図中、ゲートG24,G25は同時にスレーブ4aをアクセスした場合の優先順位を決定するものであり、優先順位の高い方(図はREQa>REQb>REQc)のREQがそれぞれG20,G21,G22に出力される。

なお、スレーブがアクセス中のために待機したバスマスタは、ライトアクセスの場合は、バスが接続されるとスレーブからライトイネーブル信号が返るので、その後、1ライトサイクル待機した後、アクセスを終了する。

また、リードアクセスの場合は、バス接続の後、スレーブからデータが出力され、且つ応答信号が出力されるので、このデータを読み取った後アクセスを終了する。

なお、実施例では、アクセス情報とともにアクセス終了までの間アクセス要求信号を出力して、切換制御を行ったが、スタート、ストップ信号等を用いてもよいことは勿論で、実施例に限るものではない。

以上のごとく、複数のバスマスタ1a,1b,1cと、複数のスレーブ4a,4b,4cとの間をバス10bを用いてそれぞれ接続し、アクセス情報により、バス選択回路3a,3b,3c、バス切換回路2a,2b,2cにより切換えるため、アクセス対象のスレーブが競合しない限り、同時にデータ転送を行わせることができる。

また、バス獲得のための調停が不要なため、アクセス時間が短縮される。

(発明の効果)

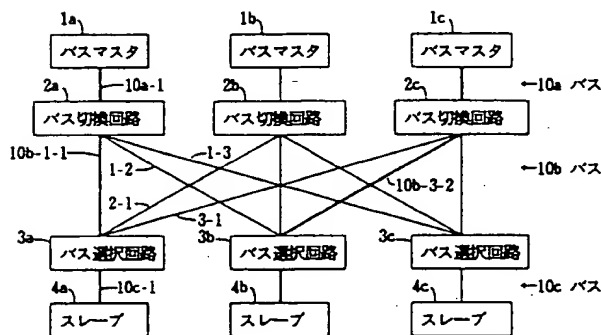
以上説明したように、本発明はバスを切換えて複数のデータ転送が同時にでき、且つ競合制御を排したバス切換制御方式を提供するもので、データ転送の高速化に多大の効果を奏する。

4. 図面の簡単な説明

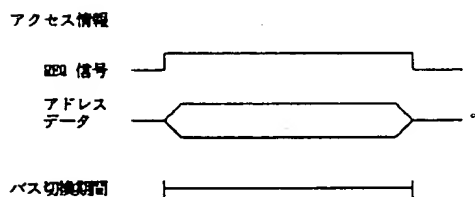
第1図は本発明の原理図、第2図はアクセスタイムチャート図、第3図は実施例のバス切換回路構成図、第4図は実施例のバス選択回路構成図、第5図は従来のバス結合方式説明図、第6図は従来のバス制御動作説明図である。

図中、1a,1b,1cはバスマスタ、2a,2b,2cはバス切換回路、3a,3b,3cはバス選択回路、4a,4b,4cはスレーブ、10a,10b,10cはバス、11,12,13,15,16,17はゲート、14はアドレスデコーダ、30はバス、31a,31b,31cは調停回路、G20,G21,G22,G24,G25はゲートである。

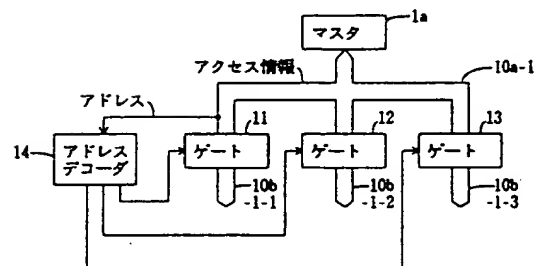
代理人 弁理士 井桁 貞一



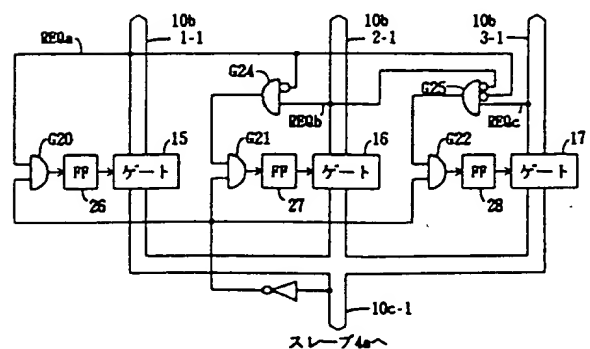
本発明の原理図
第1図



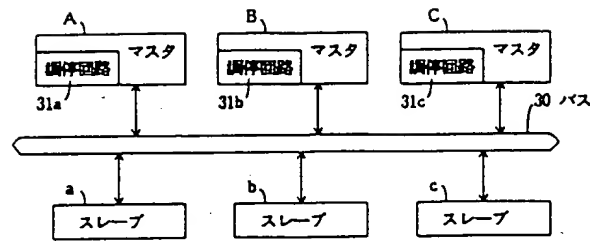
アクセスタイムチャート図
第2図



実施例のバス切換回路構成図
第3図

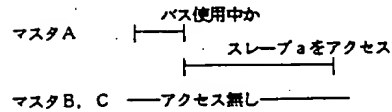


実施例のバス選択回路構成図
第4図

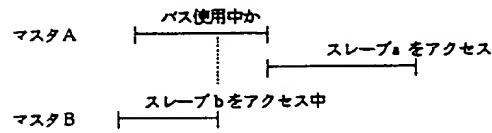


従来のバス結合方式説明図

第 5 図



(I) 他マスタがアクセスしていない場合を表す図



(II) 他マスタがアクセス中の場合を表す図

従来のバス制御動作説明図

第 6 図